

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-36888

(43)公開日 平成8年(1996)2月6日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 14/00

11/22

H 0 1 L 27/10

4 5 1

G 1 1 C 11/ 34

3 5 2 A

H 0 1 L 27/ 10

6 5 1

7735-4M

審査請求 未請求 請求項の数10 O L (全 11 頁) 最終頁に続く

(21)出願番号

特願平6-170844

(22)出願日

平成6年(1994)7月22日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 平野 博茂

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 角 辰己

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 長野 能久

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

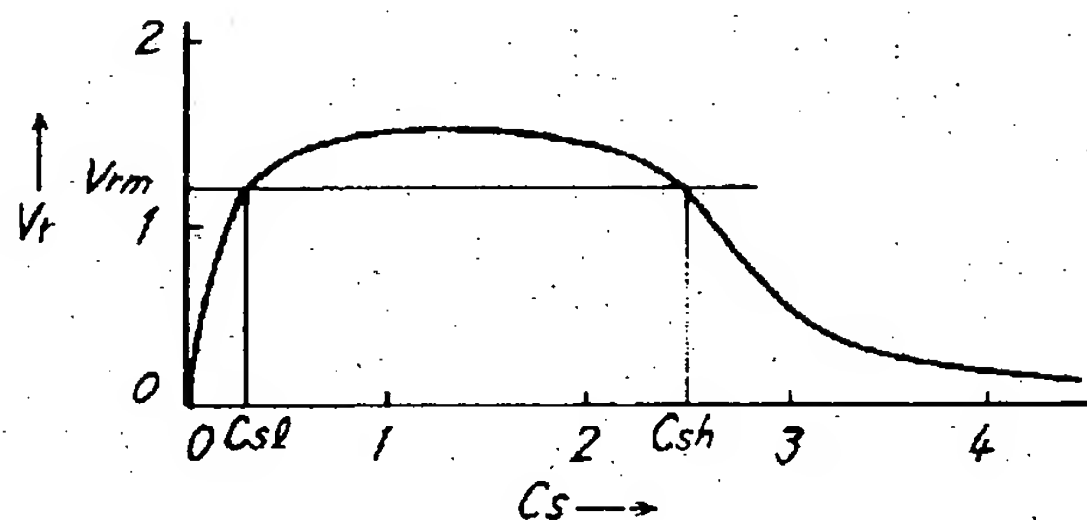
(74)代理人 弁理士 小鍛冶 明 (外2名)

(54)【発明の名称】 半導体メモリ装置

(57)【要約】

【目的】 ビット線へのデータ読み出し電位を大きくする。

【構成】 本体メモリセルキャパシタ容量値 $C_s$ とビット線 $B L 0$ 、 $\neg B L 0$ 間に読み出された電位差 $V_r$ との関係から、電位差 $V_r$ は本体メモリセルキャパシタ容量値 $C_s$ に対して最大値をもつ曲線で表される。 $V_{rm}$ はセンスアンプで正確に増幅できる読み出し可能最低電位差値を示している。この $V_{rm}$ と図の曲線の交点のうち本体メモリセルキャパシタ容量値の小さい方を $C_{s1}$ 、本体メモリセルキャパシタ容量値の大きい方を $C_{sh}$ とする。本体メモリセルキャパシタ容量の値 $C_s$ は $C_{s1}$ と $C_{sh}$ との間にあることが必要である。



1

## 【特許請求の範囲】

【請求項 1】 増幅器に第 1 のビット線と前記第 1 のビット線と対になった第 2 のビット線が接続され、第 1 の MOS トランジスタに第 1 のワード線と第 1 の強誘電体キャパシタと前記第 1 のビット線とが接続され、前記第 1 の強誘電体キャパシタが第 1 のプレート電極に接続され、前記第 1 のビット線と前記第 2 のビット線との間に生じる電位差を所望の値にするように前記第 1 の強誘電体キャパシタの容量が決定されることを特徴とする半導体メモリ装置。

【請求項 2】 前記電位差が前記増幅器によって正常に増幅できる値であることを特徴とする請求項 1 記載の半導体メモリ装置。

【請求項 3】 前記容量が小さく設定されることを特徴とする請求項 2 記載の半導体メモリ装置。

【請求項 4】 増幅器に第 1 のビット線と前記第 1 のビット線と対になった第 2 のビット線が接続され、第 1 の MOS トランジスタに第 1 のワード線と第 1 の強誘電体キャパシタと前記第 1 のビット線とが接続され、前記第 1 の強誘電体キャパシタが第 1 のプレート電極に接続され、第 2 の MOS トランジスタが第 2 のワード線と第 1 のキャパシタと前記第 2 のビット線とに接続され、前記第 1 のキャパシタが第 2 のプレート電極に接続され、前記第 1 の強誘電体キャパシタの論理電圧 “H” で、かつ前記第 1 のビット線へのデータ読み出し時の第 1 のビット線電位と前記第 1 の強誘電体キャパシタの論理電圧 “L” で、かつ前記第 1 のビット線へのデータ読み出し時の第 2 のビット線電位との電位差が第 1 の所望の値になるように前記第 1 の強誘電体キャパシタの容量が決定され、前記第 1 のキャパシタの前記第 2 のビット線へのデータ読み出し時の第 3 のビット線電位が前記第 1 のビット線電位と前記第 2 のビット線電位との中間の第 2 の所望の値の電位になるように前記第 1 のキャパシタの容量が決定されることを特徴とする半導体メモリ装置。

【請求項 5】 前記第 1 のキャパシタが強誘電体キャパシタであることを特徴とする請求項 4 記載の半導体メモリ装置。

【請求項 6】 前記第 1 のキャパシタが前記第 1 の強誘電体キャパシタと同程度の形状である強誘電体キャパシタであることを特徴とする請求項 4 記載の半導体メモリ装置。

【請求項 7】 前記第 1 のキャパシタの前記第 2 のビット線へのデータ読み出し時に前記第 2 のビット線の容量に第 1 のビット線容量調整用容量が接続され前記第 1 のビット線の容量より大きくなることを特徴とする請求項 4 記載の半導体メモリ装置。

【請求項 8】 前記第 1 のビット線容量調整用容量が強誘電体キャパシタであることを特徴とする請求項 7 記載の半導体メモリ装置。

【請求項 9】 前記第 1 のキャパシタの前記第 2 のビッ

2

ト線へのデータ読み出し時に前記第 2 のビット線の容量に第 1 のビット線容量調整用容量が切断され前記第 1 のビット線の容量より小さくなることを特徴とする請求項 4 記載の半導体メモリ装置。

【請求項 10】 前記第 1 のビット線容量調整用容量が強誘電体キャパシタであることを特徴とする請求項 9 記載の半導体メモリ装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体メモリ装置に関するものである。

【0002】

【従来の技術】 半導体メモリ装置では、半導体装置内に形成されたキャパシタに電荷を蓄積し、その電荷の有無によりデータを記憶する方式が主に用いられており（一般にダイナミック方式メモリという。以下この方式のメモリを DRAM と称す）、そのキャパシタには、従来、シリコン酸化膜を絶縁膜として用いている。

【0003】 近年、強誘電体材料をキャパシタの絶縁膜に用いることにより、記憶データの不揮発性を実現しようとする半導体メモリ装置が考案されている。

【0004】 以下、強誘電体材料を用いた従来の半導体メモリ装置について説明する（米国特許第 4, 873, 664 号明細書参照）。

【0005】 図 13 は従来の半導体メモリ装置の回路構成図、図 14 は従来の半導体メモリ装置の回路構成を示す図 13 のセンスアンプ部 90、96 を示す図、図 15 は従来の半導体メモリ装置の動作タイミングを示す図、図 16 は従来の半導体メモリ装置のメモリセルキャパシタの強誘電体のヒステリシス特性とメモリセルのデータ読み出しを示す図である。

【0006】 図において、Vr16 はメモリセルのデータ読み出し電位差、11、12 はビット線の寄生容量の特性を示す線、A、B、D、E、M16、N16、O16、P16、Q16 はメモリセルのデータ読み出しを示す図中の点、80a~80d はメモリセル、81a~81d はメモリセルトランジスタ、82、84 はワード線（WORD）、83a~83d は強誘電体膜を用いたメモリセルキャパシタ、86、88、92、94 はビット線、90、96 はセンスアンプ、98、100 はセルプレート電極（PLATE）、102、104、106、108 はビット線プリチャージ用トランジスタ、φPRECHARGE はビット線プリチャージ制御信号、φSENSE はセンスアンプ制御信号、110、112 は P チャネル型 MOS トランジスタ、118、120 は N チャネル型 MOS トランジスタ、114、116 は信号ノードである。

【0007】 図 13 の従来の半導体メモリ装置の回路構成は、センスアンプ 90 にビット線 86、88 が接続されている。このビット線 86、88 に本体メモリセル 8

3

0 a, 80 bが接続されている。本体メモリセル80 aは、第1の本体メモリセルキャパシタ83 aが第1のMOSトランジスタ81 aを介してビット線86に接続されている。第2の本体メモリセルキャパシタ83 aが第2のMOSトランジスタ81 aを介してビット線88に接続されている。第1および第2のMOSトランジスタ81 aのゲートはワード線82に接続され、第1および第2の本体メモリセルキャパシタ83 aの第1および第2のMOSトランジスタ81 aのソースに接続された第1の電極とは反対の第2の電極はセルプレート電極98に接続されている。本体メモリセル80 b~80 dについても同様である。また、ビット線86, 88は、ゲートがビット線プリチャージ制御信号φPRECHARGEであるMOSトランジスタ106, 108を介して接地電圧に接続されている。また、センスアンプ90は、図14に示すように、Nチャネル型MOSトランジスタ118のソースが接地電圧に、ゲートが信号ノード116に、ドレインが信号ノード114にそれぞれ接続され、Pチャネル型MOSトランジスタ110のソースがφPRECHARGEに接続されている。また、ゲートが信号ノード116に、ドレインが信号ノード114にそれぞれ接続され、Nチャネル型MOSトランジスタ120のソースが接地電圧に、ゲートが信号ノード114に、ドレインが信号ノード116にそれぞれ接続され、Pチャネル型MOSトランジスタ112のソースはφPRECHARGEに、ゲートが信号ノード114に、ドレインが信号ノード116にそれぞれ接続されている。この図13の従来の半導体メモリ装置では、一つのメモリセルが二つのメモリセルキャパシタと二つのMOSトランジスタとで構成されている。この二つのメモリセルキャパシタには逆論理電圧を書き込み、読み出し時にはこの二つのメモリセルキャパシタのそれぞれから読み出された電位差をセンスアンプで増幅してデータを読み出す。

【0008】この従来の半導体メモリ装置の回路の動作について、図15の動作タイミング図と、図16のメモリセルキャパシタの強誘電体のヒステリシス特性とメモリセルのデータ読み出しを示す図を参照しながら説明する。

【0009】図16の強誘電体のヒステリシス特性図で、横軸がメモリセルキャパシタにかかる電界で縦軸がそのときの電荷を示している。強誘電体のキャパシタでは電界が0のときでも点B、点Eのように残留分極が残る。このように、電源がオフした後も強誘電体のキャパシタに残った残留分極を不揮発性のデータとして利用し、不揮発性半導体メモリ装置を実現している。メモリセルのデータが“1”の場合、第1の本体メモリセルキャパシタは図16の点Bの状態であり、第2の本体メモリセルキャパシタは図16の点Eの状態である。メモリセルのデータが“0”である場合には、第1の本体メモ

4

リセルキャパシタは図16の点Eの状態、第2の本体メモリセルキャパシタは図16の点Bの状態である。

【0010】ここで本体メモリセルのデータを読み出すために、初期状態として、ビット線86, 88、ワード線82, 84、セルプレート電極98、および、センスアンプ制御信号φSENSEは全て論理電圧“L”であり、ビット線プリチャージ制御信号φPRECHARGEは論理電圧“H”である。その後、ビット線プリチャージ制御信号φPRECHARGEを論理電圧“L”とし、ビット線86, 88をフローティング状態とする。次に、図15のように、ワード線82とセルプレート電極98を論理電圧“H”とする。ここで、MOSトランジスタ81 aがオンする。このため、本体メモリセルキャパシタ83 aには電界がかかり、本体メモリセルからビット線86, 88にデータが読み出される。

【0011】このときのビット線に読み出される電位差について図16を参照しながら説明する。図16に示されている線11, 12はビット線86, 88の寄生容量値で決まる傾きを持つ線である。容量値が小さくなると傾きの絶対値は小さくなる。読み出されるデータが

“1”のとき、ビット線86には第1の本体メモリセルキャパシタからデータが読み出され、図16の点Bの状態から点O16の状態となる。点O16はメモリセルキャパシタに電界をかけたとき、点Bから点Dへ向かうヒステリシス曲線と、ワード線82とセルプレート電極98との論理電圧を“H”としたときに生じる電界の分だけ、点Bから横軸方向へ移動した点M16を通る線11との交点である。同様に、ビット線88には第2の本体メモリセルキャパシタからデータが読み出され、図16の点Eの状態から点P16の状態となる。点P16はメモリセルキャパシタに電界がかかったとき、点Eから点Dへ向かうヒステリシス曲線と、ワード線82とセルプレート電極98との論理電圧を“H”としたときに生じる電界の分だけ、点Eから横軸方向へ移動した点N16を通る線12との交点である。ここで、ビット線86とビット線88に読み出される電位差は、図16の点O16と点P16との電界差である $V_{r16}$ となる。読み出されるデータが“0”のときも同様に、ビット線86とビット線88の状態が逆になるだけで、読み出される電位差は $V_{r16}$ である。次に、センスアンプ制御信号φSENSEを論理電圧“H”とし、ビット線86とビット線88に読み出されたデータをセンスアンプ90で増幅しデータを読み出す。このセンスアンプ90で増幅すると、ビット線86の状態は点O16から点Q16になり、ビット線88の状態は点P16から点Dになる。次に、データの再書き込み状態としてセルプレート電極98を論理電圧“L”とする。このとき、図16において、ビット線86の状態は点Q16から点Aとなり、ビット線88の状態は点Dから点Eとなる。次に、ワード線82とセンスアンプ制御信号φSENSEとを論理電



5

圧“L”にする。その後、ビット線プリチャージ制御信号のPRECHARGEを論理電圧“H”とし、ビット線86、88を論理電圧“L”として初期状態とする。

【0012】

【発明が解決しようとする課題】上記のような従来の構成の半導体メモリ装置では、図16において、ビット線の寄生容量値が小さくなると線11、12の傾きの絶対値が小さくなる。たとえばビット線の寄生容量値がほとんど0になると、点O16の位置は点Bに近づき、点P16の位置は点Eに近づく。ビット線86とビット線88とに生じる読み出し電位差 $V_{r16}$ は0に近づく。このためこの電位差をセンスアンプ90で正確に増幅することができなくなるという課題があった。また、同様にビット線寄生容量値がある一定の値であるとき強誘電体キャパシタの容量が小さすぎても大きすぎてもビット線86とビット線88とに生じる読み出し電位差 $V_{r16}$ は小さくなり、この電位差をセンスアンプ90で正確に増幅することができなくなるという課題があった。

【0013】

【課題を解決するための手段】この課題を解決するために、本発明の半導体メモリ装置は、増幅器に第1のビット線と第1のビット線と対になった第2のビット線が接続され、第1のMOSトランジスタに第1のワード線と第1の強誘電体キャパシタと第1のビット線とが接続され、第1の強誘電体キャパシタが第1のプレート電極に接続され、第1のビット線と第2のビット線との間に生じる電位差を所望の値にするように第1の強誘電体キャパシタの容量が決定される。

【0014】また、電位差が増幅器によって正常に増幅できる値である。また、容量が小さく設定される。

【0015】また、増幅器に第1のビット線と第1のビット線と対になった第2のビット線が接続され、第1のMOSトランジスタに第1のワード線と第1の強誘電体キャパシタと第1のビット線とが接続され、第1の強誘電体キャパシタが第1のプレート電極に接続され、第2のMOSトランジスタが第2のワード線と第1のキャパシタと第2のビット線とに接続され、第1のキャパシタが第2のプレート電極に接続され、第1の強誘電体キャパシタの論理電圧“H”で、かつ第1のビット線へのデータ読み出し時の第1のビット線電位と第1の強誘電体キャパシタの論理電圧“L”で、かつ第1のビット線へのデータ読み出し時の第2のビット線電位との電位差が第1の所望の値になるように第1の強誘電体キャパシタの容量が決定され、第1のキャパシタの第2のビット線へのデータ読み出し時の第3のビット線電位が第1のビット線電位と第2のビット線電位との中間の第2の所望の値の電位になるように第1のキャパシタの容量が決定される。

【0016】また、第1のキャパシタが強誘電体キャパシタである。また、第1のキャパシタが第1の強誘電体

6

キャパシタと同程度の形状である強誘電体キャパシタである。

【0017】また、第1のキャパシタの第2のビット線へのデータ読み出し時に第2のビット線の容量に第1のビット線容量調整用容量が接続され第1のビット線の容量より大きくなる。

【0018】また、第1のビット線容量調整用容量が強誘電体キャパシタである。また、第1のキャパシタの第2のビット線へのデータ読み出し時に第2のビット線の容量に第1のビット線容量調整用容量が切断され第1のビット線の容量より小さくなる。

【0019】さらに、第1のビット線容量調整用容量が強誘電体キャパシタである。

【0020】

【作用】上記のような構成および動作の半導体メモリ装置にすることにより、メモリセルのデータ読み出し電位差を大きくすることができ、読み出し時の誤動作がない半導体メモリ装置とすることができる。

【0021】

【実施例】本発明の半導体メモリ装置の第1の実施例について、図面を参照しながら説明する。図1は本発明の半導体メモリ装置の回路構成を示す図、図2は本発明の半導体メモリ装置の動作タイミングを示す図、図3～図5は本発明の半導体メモリ装置の第1の実施例の第1～第3の容量値のメモリセルキャパシタの強誘電体のヒステリシス特性とメモリセルのデータ読み出しを示す図である。

【0022】まず、図1の回路構成図について説明する。WL0～WL7はワード線、BL0、/BL0、BL1、/BL1はビット線、CP0～CP7はセルプレート電極、EQ101はビット線イコライズおよびプリチャージ制御信号、SAE100はセンスアンプ制御信号、VSSは接地電圧、SA0、SA1はセンスアンプ、Cs00～Cs17、Cs00B～Cs17Bは本体メモリセルキャパシタ、QnはNチャネル型MOSトランジスタである。

【0023】センスアンプSA0にビット線BL0、/BL0が、センスアンプSA1にビット線BL1、/BL1がそれぞれ接続されている。センスアンプSA0、SA1の動作はセンスアンプ制御信号SAE100によって制御される。本体メモリセルキャパシタCs00の第1の電極はNチャネル型MOSトランジスタQnを介してビット線BL0に接続されている。本体メモリセルキャパシタCs00の第2の電極はセルプレート電極CP0に接続されている。本体メモリセルキャパシタCs00Bの第1の電極はNチャネル型MOSトランジスタQnを介してビット線/BL0に接続されており、本体メモリセルキャパシタCs00Bの第2の電極はセルプレート電極CP0に接続されている。同様に、本体メモリセルキャパシタCs01～Cs07のそれぞれの第1

7

の電極はNチャネル型MOSトランジスタ $Q_n$ を介してビット線 $BL_0$ に接続され、本体メモリセルキャパシタ $Cs_{01} \sim Cs_{07}$ のそれぞれの第2の電極はそれぞれセルプレート電極 $CP_1 \sim CP_7$ に接続され、本体メモリセルキャパシタ $Cs_{01B} \sim Cs_{07B}$ のそれぞれの第1の電極はNチャネル型MOSトランジスタ $Q_n$ を介してビット線 $BL_0$ に接続され、本体メモリセルキャパシタ $Cs_{01B} \sim Cs_{07B}$ のそれぞれの第2の電極はそれぞれセルプレート電極 $CP_1 \sim CP_7$ に接続されている。本体メモリセルキャパシタ $Cs_{10} \sim Cs_{17}$ 、 $Cs_{10B} \sim Cs_{17B}$ についても同様に、ビット線 $BL_1$ 、 $BL_1$ にデータが読み出されるように接続されている。また、ビット線 $BL_0$ 、 $BL_0$ 、およびビット線 $BL_1$ 、 $BL_1$ はビット線イコライズおよびプリチャージ制御信号 $EQ_{101}$ によってイコライズおよびプリチャージされるように構成されている。ここでは、プリチャージ電位は接地電圧としている。

【0024】図3において $V_{r3}$ はメモリセルのデータ読み出し電位差、 $l_1$ 、 $l_2$ はビット線容量の特性を示す線、A、B、D、E、M3、N3、O3、P3、Q3はメモリセルのデータ読み出しを示す図における点である。図3は従来と同様に強誘電体のヒステリシス特性図で、横軸がメモリセルキャパシタにかかる電界で縦軸がそのときの電荷を示している。強誘電体のキャパシタでは電界が0のときでも点B、点Eのように残留分極が残る。電源をオフしても強誘電体のキャパシタに残った残留分極を不揮発性のデータとして利用して、不揮発性半導体メモリ装置を実現している。メモリセルのデータが“1”の場合、第1の本体メモリセルキャパシタは図3の点Bの状態、第2の本体メモリセルキャパシタは点Eの状態である。メモリセルのデータが“0”の場合、第1の本体メモリセルキャパシタは点Eの状態、第2の本体メモリセルキャパシタは点Bの状態である。

【0025】図4および図5も図3と同様で、 $V_{r4} \sim V_{r5}$ はメモリセルのデータ読み出し電位差、A、B、D、E、M4、N4、O4、P4、Q4、M5、N5、O5、P5、Q5はメモリセルのデータ読み出しを示す図における点である。本体メモリセルキャパシタの容量は図3の場合が三つのうちではもっとも大きく、図4の場合が次に大きく、図5の場合が三つのうちではもっとも小さい。

【0026】ここでは、図3の場合について、本体メモリセルキャパシタ $Cs_{00}$ 、 $Cs_{00B}$ のデータを読み出す方法について説明する。まず本体メモリセルのデータを読み出すために、初期状態として、ビット線 $BL_0$ 、 $BL_0$ 、ワード線 $WL_0 \sim WL_7$ 、セルプレート電極 $CP_0 \sim CP_7$ 、および、センスアンプ制御信号 $SAE_{100}$ を論理電圧“L”とし、ビット線プリチャージ制御信号 $EQ_{101}$ は論理電圧“H”とする。その後、ビット線プリチャージ制御信号 $EQ_{101}$ を論理電

8

圧“L”とすると、ビット線 $BL_0$ 、 $BL_0$ をフローティング状態となる。次に、ワード線 $WL_0$ とセルプレート電極 $CP_0$ を論理電圧“H”とする。このとき、本体メモリセルキャパシタ $Cs_{00}$ 、 $Cs_{00B}$ に電界がかかる。このようにして本体メモリセルから $BL_0$ 、 $BL_0$ ビット線にデータが読み出される。このときのビット線に読み出される電位差について、図3を参照しながら説明する。線 $l_1$ 、 $l_2$ はビット線 $BL_0$ 、 $BL_0$ の寄生容量の値に依存した傾きを持つ。容量値が小さくなると傾きの絶対値は小さくなる。読み出されるデータが“1”のとき、ビット線 $BL_0$ には本体メモリセルキャパシタ $Cs_{00}$ からデータが読み出され、図3の点Bの状態から点O3の状態となる。点O3はメモリセルキャパシタに電界がかかったとき、点Bから点Dへ向かう強誘電体メモリセルキャパシタのヒステリシス曲線と、ワード線 $WL_0$ とセルプレート電極 $CP_0$ とを論理電圧“H”としたときに生じる電界の分だけ点Bから横軸方向へ移動した点M3を通る線 $l_1$ との交点である。同様に、ビット線 $BL_0$ には本体メモリセルキャパシタ $Cs_{00B}$ からデータが読み出され、点Eの状態から点P3の状態となる。点P3はメモリセルキャパシタに電界がかかったとき、点Eから点Dへ向かうヒステリシス曲線と、ワード線 $WL_0$ とセルプレート電極 $CP_0$ とを論理電圧“H”としたときに生じる電界の分だけ点Eから横軸方向へ移動した点N3を通る線 $l_2$ との交点である。ここで、ビット線 $BL_0$ 、 $BL_0$ 間に読み出される電位差は点O3と点P3の電界差である $V_{r3}$ となる。読み出されるデータが“0”のときも同様に、ビット線 $BL_0$ と同 $BL_0$ の状態が逆になるだけで、読み出される電位差は $V_{r3}$ である。次に、センスアンプ制御信号 $SAE_{100}$ を論理電圧“H”とすると、ビット線 $BL_0$ 、 $BL_0$ に読み出されたデータはセンスアンプ $SA_0$ で増幅されて読み出される。センスアンプ $SA_0$ で増幅したとき、ビット線 $BL_0$ の状態は点O3から点Q3になり、ビット線 $BL_0$ の状態は点P3から点Dになる。次に、データの再書き込み状態としてセルプレート電極 $CP_0$ を論理電圧“L”とする。このとき、ビット線 $BL_0$ の状態は点Q3から点Aとし、ビット線 $BL_0$ の状態は点Dから点Eとなる。その後、ワード線 $WL_0$ とセンスアンプ制御信号 $SAE_{100}$ とを論理電圧“L”とする。その後、ビット線プリチャージ制御信号 $EQ_{101}$ を論理電圧“H”とし、ビット線 $BL_0$ 、 $BL_0$ を論理電圧“L”として、初期状態にする。この動作でビット線 $BL_0$ 、 $BL_0$ に読み出された電位差 $V_{r3}$ はセンスアンプ $SA_0$ で正確に増幅できるだけの電位差でなければならない。これを満たすように本体メモリセルキャパシタ容量値（曲線ABDEA）を決定する。電位差 $V_{r3}$ ができるだけ大きくなるように本体メモリセルキャパシタ容量値を決定することにより、センスアンプによるより正確で高速な増幅が可能と

9

なる。

【0027】図3～図5の本体メモリセルキャパシタ容量値の場合、 $V_{r3} \sim V_{r5}$ のメモリセルのデータ読み出し電位差は $V_{r4}$ が大きく、 $V_{r3}$ と $V_{r5}$ は $V_{r4}$ より小さくなる。本体メモリセルキャパシタ容量値 $C_s$ とビット線 $BL_0$ 、 $\neg BL_0$ 間に読み出された電位差 $V_r$ との関係を示したものが図6である。この図6からわかるように、電位差 $V_r$ は本体メモリセルキャパシタ容量値 $C_s$ に対して最大値をもつ曲線で表される。図6で $V_{rm}$ はセンスアンプで正確に増幅できる読み出し可能最低電位差値を示している。この $V_{rm}$ と図の曲線の交点のうち本体メモリセルキャパシタ容量値の小さい方を $C_{s1}$ 、本体メモリセルキャパシタ容量値の大きい方を $C_{sh}$ とする。この図より本体メモリセルキャパシタ容量の値 $C_s$ は $C_{s1}$ と $C_{sh}$ の間にあることが必要である。本体メモリセルキャパシタ容量の値 $C_s$ が $C_{s1}$ 、 $C_{sh}$ 間であれば、より小さな値を用いる方が本体メモリセルキャパシタを構成する強誘電体膜の劣化が少ない。また、本体メモリセルキャパシタの面積も小さくなり、高集積化される。

【0028】本発明の半導体メモリ装置の第2の実施例について、図7の回路構成図と図8の動作タイミング図、図9のメモリセルキャパシタの強誘電体のヒステリシス特性とメモリセルのデータ読み出しを示す図を参照しながら説明する。

【0029】第1の実施例が一つのメモリセルが二つのメモリセルキャパシタと二つのMOSトランジスタで構成されているのに対して、第2の実施例が一つのメモリセルが一つのメモリセルキャパシタと一つのMOSトランジスタで構成されている点で異なる。

【0030】まず、図7に示した回路構成について説明する。 $WL_0 \sim WL_3$ はワード線、 $DWL_0 \sim DWL_1$ はダミーワード線、 $BL_0$ 、 $\neg BL_0$ 、 $BL_1$ 、 $\neg BL_1$ はビット線、 $CP_0$ 、 $CP_1$ はセルプレート電極、 $DCP_0$ 、 $DCP_1$ はダミーセルプレート電極、 $EQ_{11}$ はビット線イコライズおよびプリチャージ制御信号、 $SAE_0$ 、 $SAE_1$ はセンスアンプ制御信号、 $VSS$ は接地電圧、 $SA_0$ 、 $SA_1$ はセンスアンプ、 $C_{s1} \sim C_{s8}$ は本体メモリセル強誘電体キャパシタ、 $C_{d1} \sim C_{d4}$ はダミーメモリセル強誘電体キャパシタ、 $Q_n$ はNチャネル型MOSトランジスタである。本体メモリセルは本体メモリセル強誘電体キャパシタ $C_{s1} \sim C_{s8}$ とワード線 $WL_0 \sim WL_3$ がゲートに接続されたNチャネル型MOSトランジスタ $Q_n$ で構成されている。本体メモリセル強誘電体キャパシタ $C_{s1} \sim C_{s8}$ の第1の電極がNチャネル型MOSトランジスタ $Q_n$ のソースに接続され、本体メモリセル強誘電体キャパシタ $C_{s1} \sim C_{s8}$ の第2の電極がセルプレート電極 $CP_0$ 、 $CP_1$ に接続されている。また、本体メモリセルを構成するNチャネル型MOSトランジスタ $Q_n$ のドレインはビット線 $B$

10

$L_0$ 、 $\neg BL_0$ 、 $BL_1$ 、 $\neg BL_1$ に接続されている。ダミーメモリセルも同様に、ダミーメモリセル強誘電体キャパシタ $C_{d1} \sim C_{d4}$ とダミーワード線 $DWL_0 \sim DWL_1$ がゲートに接続されたNチャネル型MOSトランジスタ $Q_n$ とで構成されている。また、ダミーメモリセル強誘電体キャパシタ $C_{d1} \sim C_{d4}$ の第1の電極がNチャネル型MOSトランジスタ $Q_n$ のソースに接続され、ダミーメモリセル強誘電体キャパシタ $C_{d1} \sim C_{d4}$ の第2の電極がダミーセルプレート電極 $DCP_0$ 、 $DCP_1$ に接続されている。また、ダミーメモリセルを構成するNチャネル型MOSトランジスタ $Q_n$ のドレインは、ビット線 $BL_0$ 、 $\neg BL_0$ 、 $BL_1$ 、 $\neg BL_1$ に接続されている。また、ビット線 $BL_0$ 、 $\neg BL_0$ 、および同 $BL_1$ 、 $\neg BL_1$ は、それぞれセンスアンプ $SA_0$ 、 $SA_1$ に接続されている。センスアンプ $SA_0$ 、 $SA_1$ は、それぞれセンスアンプ制御信号 $SAE_0$ 、 $SAE_1$ で制御され、センスアンプ制御信号 $SAE_0$ 、 $SAE_1$ が全て論理電圧“H”のとき動作する。また、ビット線 $BL_0$ 、 $\neg BL_0$ 、および同 $BL_1$ 、 $\neg BL_1$ は、ゲートがビット線イコライズおよびプリチャージ制御信号 $EQ_{11}$ であるNチャネル型MOSトランジスタ $Q_n$ を介して接続される。ビット線 $BL_0$ 、 $\neg BL_0$ 、 $BL_1$ 、 $\neg BL_1$ のそれぞれは、ゲートがビット線イコライズおよびプリチャージ制御信号 $EQ_{11}$ であるNチャネル型MOSトランジスタ $Q_n$ を介して接地電圧 $VSS$ に接続されている。

【0031】次に、図8と図9において、本体メモリセルのデータを読み出すために、初期状態として、ワード線 $WL_0 \sim WL_3$ 、ダミーワード線 $DWL_0$ 、 $DWL_1$ 、セルプレート電極 $CP_0$ 、 $CP_1$ 、ダミーセルプレート電極 $DCP_0$ 、 $DCP_1$ 、センスアンプ制御信号 $SAE_0$ 、 $SAE_1$ を論理電圧“L”とし、ビット線イコライズおよびプリチャージ制御信号 $EQ_{11}$ を論理電圧“H”とし、ビット線を論理電圧“L”とする。その後、ビット線イコライズおよびプリチャージ制御信号 $EQ_{11}$ を論理電圧“L”とし、ビット線をフローティング状態とする。次に、本体メモリセルキャパシタ $C_{s2}$ のデータを読み出すために、ワード線 $WL_1$ 、ダミーワード線 $DWL_1$ 、セルプレート電極 $CP_0$ 、およびダミーセルプレート電極 $DCP_0$ の全てを論理電圧“H”とすると、ビット線 $BL_0$ にダミーメモリセルのデータが読み出され、ビット線 $\neg BL_0$ に本体メモリセルのデータが読み出される。このとき、本体メモリセルのデータが“1”の場合、図9の点Bの状態から点O9の状態になる。本体メモリセルのデータが“0”の場合、点Eの状態から点P9の状態になり、ダミーメモリセルは点T9の状態から点S9の状態になる。その後、センスアンプ制御信号 $SAE_0$ を論理電圧“H”として、センスアンプ $SA_0$ を動作させると、ビット線 $BL_0$ 、 $\neg BL_0$ に読み出されたデータが増幅される。センスアンプを動



11

作させ、データが増幅された状態で、本体メモリセルのデータが“1”であれば、本体メモリセルは点O9の状態から点Q9の状態に、ダミーメモリセルは点S9の状態から点Dの状態になる。このとき、本体メモリセルのデータが“0”であれば、本体メモリセルは点P9の状態から点Dの状態に、ダミーメモリセルは点S9の状態から点T9の状態になる。

【0032】次に、セルプレート電極CP0を論理電圧“L”とする。このとき、本体メモリセルのデータが“1”であれば、本体メモリセルは点Q9の状態から点Aの状態に、ダミーメモリセルは点Dの状態を維持する。本体メモリセルのデータが“0”であれば、本体メモリセルは点Dの状態から点Eの状態に、ダミーメモリセルは点T9の状態を維持する。ワード線WL1、ダミーワード線DWL1を論理電圧“L”とする。このとき、本体メモリセルのデータが“1”であれば、本体メモリセルは点Aの状態から点Aと点Bの間の状態に、ダミーメモリセルは点Dの状態から点Dと点T9の間の状態となる。その後ダミーメモリセルは点T9の状態とする。本体メモリセルのデータが“0”であれば、本体メモリセルは点Eの状態を維持し、ダミーメモリセルは点T9を維持する。次に、ダミーセルプレート電極DCP0を論理電圧“L”とし、センスアンプ制御信号SAE0を論理電圧“L”とし、ビット線イコライズおよびプリチャージ制御信号EQ11を論理電圧“H”とし、ビット線を論理電圧“L”とする。

【0033】この第2の実施例において、ビット線の寄生容量値を傾きとしてもつ線l1、l2、l3において、本体メモリセルのデータ“1”とデータ“0”の読み出し電位差Vr9がセンスアンプで正確に増幅できる電位差の少なくとも2倍以上となるように、本体メモリセルキャパシタ容量値を決める。次に、ダミーメモリセルの容量値を決定するために、ダミーメモリセルの容量を示す線すなわち点D、S9、T9を通る線と、ワード線WL0とセルプレート電極CP0との論理電圧を“H”とした直後に生じる電界の分だけ点T17から横軸方向へ移動した点R17を通る線l3（線l1、l2を平行移動した線）との交点を点S9とする。このとき、点S9と点P9との電位差をVl9、点S9と点O9との電位差をVh9とし、Vl9およびVh9がセンスアンプで正確に増幅できるだけの電位差であるようにする。理想的には $Vl9 = Vh9 = Vr9 / 2$ とする。このようにして、本体メモリセルキャパシタ容量およびダミーメモリセルキャパシタ容量を決定することにより、センスアンプによって正確で高速な増幅が可能となる。ここでは、ダミーメモリセルキャパシタに強誘電体膜を用いているが、通常のキャパシタでもよい。

【0034】本発明の半導体メモリ装置の第3の実施例について、図10の回路構成図と図11の動作タイミング図を参照しながら説明する。

12

【0035】まず、図10の回路構成図について説明する。この回路は、第3の実施例の回路に対して、ビット線にスイッチング機能を有するMOSトランジスタを介して容量を接続した構成である。WL0～WL3はワード線、DWL0～DWL1はダミーワード線、BL0、/BL0、BL1、/BL1はビット線、CP0、CP1はセルプレート電極、DCP0、DCP1はダミーセルプレート電極、EQ11はビット線イコライズおよびプリチャージ制御信号、S100、S101は制御信号、V10は信号、SAE0、SAE1はセンスアンプ制御信号、VSSは接地電圧、SA0、SA1はセンスアンプ、Cs1～Cs8は本体メモリセル強誘電体キャパシタ、Cd1～Cd4はダミーメモリセル強誘電体キャパシタ、Cb1～Cb4はビット線容量調整用容量、QnはNチャネル型MOSトランジスタである。本体メモリセルは本体メモリセル強誘電体キャパシタCs1～Cs8とワード線WL0～WL3がゲートに接続されたNチャネル型MOSトランジスタQnで構成されている。本体メモリセル強誘電体キャパシタCs1～Cs8の第1の電極がNチャネル型MOSトランジスタQnのソースに接続され、本体メモリセル強誘電体キャパシタCs1～Cs8の第2の電極がセルプレート電極CP0、CP1に接続されている。また、本体メモリセルを構成するNチャネル型MOSトランジスタQnのドレインはビット線BL0、/BL0、BL1、/BL1に接続されている。ダミーメモリセルも同様に、ダミーメモリセル強誘電体キャパシタCd1～Cd4とダミーワード線DWL0～DWL1がゲートに接続されたNチャネル型MOSトランジスタQnとで構成されている。また、ダミーメモリセル強誘電体キャパシタCd1～Cd4の第1の電極がNチャネル型MOSトランジスタQnのソースに接続され、ダミーメモリセル強誘電体キャパシタCd1～Cd4の第2の電極がダミーセルプレート電極DCP0、DCP1に接続されている。また、ダミーメモリセルを構成するNチャネル型MOSトランジスタQnのドレインは、ビット線BL0、/BL0、BL1、/BL1に接続されている。また、ビット線BL0、/BL0、および同BL1、/BL1はそれぞれセンスアンプSA0、SA1に接続されている。センスアンプSA0、SA1は、それぞれセンスアンプ制御信号SAE0、SAE1で制御され、センスアンプ制御信号SAE0、SAE1が全て論理電圧“H”のとき動作する。また、ビット線BL0、/BL0、および同BL1、/BL1は、ゲートがビット線イコライズおよびプリチャージ制御信号EQ11であるNチャネル型MOSトランジスタQnを介して接続される。ビット線BL0、/BL0、BL1、/BL1のそれぞれはゲートがビット線イコライズおよびプリチャージ制御信号EQ11であるNチャネル型MOSトランジスタQnを介して接地電圧VSSに接続されている。ビット線BL0、/

13

BL0, BL1, /BL1にはゲートがそれぞれ信号S101, S100, S101, S100であるNチャネル型MOSトランジスタQnを介して容量Cb1, Cb2, Cb3, Cb4が接続され、それぞれの容量Cb1, Cb2, Cb3, Cb4のプレート電極が信号V10に接続されている。信号V10の電位は容量Cb1~Cb4が通常のキャパシタか、強誘電体膜を用いたキャパシタか、また強誘電体キャパシタの場合にはその使い方(ヒステリシス曲線のどの曲線部分を使うか)によって適当な電位を設定する。

【0036】次に、本体メモリセルのデータを読み出すために、初期状態として、ワード線WL0~WL3、ダミーワード線DWL0, DWL1、セルプレート電極CP0, CP1、ダミーセルプレート電極DCP0, DCP1、センスアンプ制御信号SAE0, SAE1、制御信号S100, S101を論理電圧“L”とし、ビット線イコライズおよびプリチャージ制御信号EQ11を論理電圧“H”とし、ビット線を論理電圧“L”とする。その後、ビット線イコライズおよびプリチャージ制御信号EQ11を論理電圧“L”とし、ビット線をフローティング状態とする。次に、本体メモリセルキャパシタCs2のデータを読み出すために、ワード線WL1、ダミーワード線DWL1、セルプレート電極CP0、ダミーセルプレート電極DCP0、制御信号S101の全てを論理電圧“H”とすると、ビット線BL0にダミーメモリセルのデータが読み出され、ビット線/BL0に本体メモリセルのデータが読み出される。ここで、ダミーメモリセルのデータが読み出されたビット線にビット線容量調整用容量をつけ加え容量を大きくしているのは、ダミーメモリセルを本体メモリセルキャパシタと同程度のものを使用し、メモリセルのデータ“1”から読み出したときに、適正なリファレンス電圧を得るためである。このビット線容量調整用容量は強誘電体膜を用いても通常のキャパシタでもよい。

【0037】本発明の半導体メモリ装置の第4の実施例について、図10の回路構成図と図12の動作タイミング図を参照しながら説明する。

【0038】まず、図10の回路構成図については第3の実施例と同様である。次に、本体メモリセルのデータを読み出すために、初期状態として、ワード線WL0~WL3、ダミーワード線DWL0, DWL1、セルプレート電極CP0, CP1、ダミーセルプレート電極DCP0, DCP1、センスアンプ制御信号SAE0, SAE1を論理電圧“L”とし、ビット線イコライズおよびプリチャージ制御信号EQ11、制御信号S100, S101を論理電圧“H”とし、ビット線を論理電圧“L”とする。その後、ビット線イコライズおよびプリチャージ制御信号EQ11を論理電圧“L”とし、ビット線をフローティング状態とする。次に、本体メモリセルキャパシタCs2のデータを読み出すために、ワード

14

線WL1、ダミーワード線DWL1、セルプレート電極CP0、ダミーセルプレート電極DCP0の全てを論理電圧“H”、制御信号S101を論理電圧“L”とすると、ビット線BL0にダミーメモリセルのデータが読み出され、ビット線/BL0に本体メモリセルのデータが読み出される。ここで、ダミーメモリセルのデータが読み出されたビット線のビット線容量調整用容量を電氣的に切断し容量を小さくしているのは、ダミーメモリセルを本体メモリセルキャパシタと同程度のものを使用し、メモリセルのデータ“0”から読み出したときに適正なリファレンス電圧を得るためである。このビット線容量調整用容量は強誘電体膜を用いても通常のキャパシタでもよい。

【0039】

【発明の効果】本発明のメモリセルキャパシタに強誘電体膜を用いた半導体メモリ装置によれば、ビット線の寄生容量値に応じて最適なメモリセル強誘電体キャパシタの容量値を設定することにより、メモリセルのデータ読み出し電位差を大きくすることができ、読み出し時の誤動作がない半導体メモリ装置とすることができる。

【図面の簡単な説明】

【図1】本発明の半導体メモリ装置の第1の実施例の回路構成を示す図

【図2】本発明の半導体メモリ装置の第1の実施例の動作タイミングを示す図

【図3】本発明の半導体メモリ装置の第1の実施例の第1の容量値のメモリセルキャパシタの強誘電体のヒステリシス特性とメモリセルのデータ読み出しを示す図

【図4】本発明の半導体メモリ装置の第1の実施例の第2の容量値のメモリセルキャパシタの強誘電体のヒステリシス特性とメモリセルのデータ読み出しを示す図

【図5】本発明の半導体メモリ装置の第1の実施例の第3の容量値のメモリセルキャパシタの強誘電体のヒステリシス特性とメモリセルのデータ読み出しを示す図

【図6】本発明の半導体メモリ装置の第1の実施例のメモリセルキャパシタの容量値とデータ読み出し電位差との関係図

【図7】本発明の半導体メモリ装置の第2の実施例の回路構成を示す図

【図8】本発明の半導体メモリ装置の第2の実施例の動作タイミングを示す図

【図9】本発明の半導体メモリ装置の第2の実施例のメモリセルキャパシタの強誘電体のヒステリシス特性とメモリセルのデータ読み出しを示す図

【図10】本発明の半導体メモリ装置の第3および第4の実施例の回路構成を示す図

【図11】本発明の半導体メモリ装置の第3の実施例の動作タイミングを示す図

【図12】本発明の半導体メモリ装置の第4の実施例の動作タイミングを示す図



15

【図13】従来の半導体メモリ装置の回路構成を示す図

【図14】従来の半導体メモリ装置の回路構成のセンスアンプ部を示す図

【図15】従来の半導体メモリ装置の動作タイミングを示す図

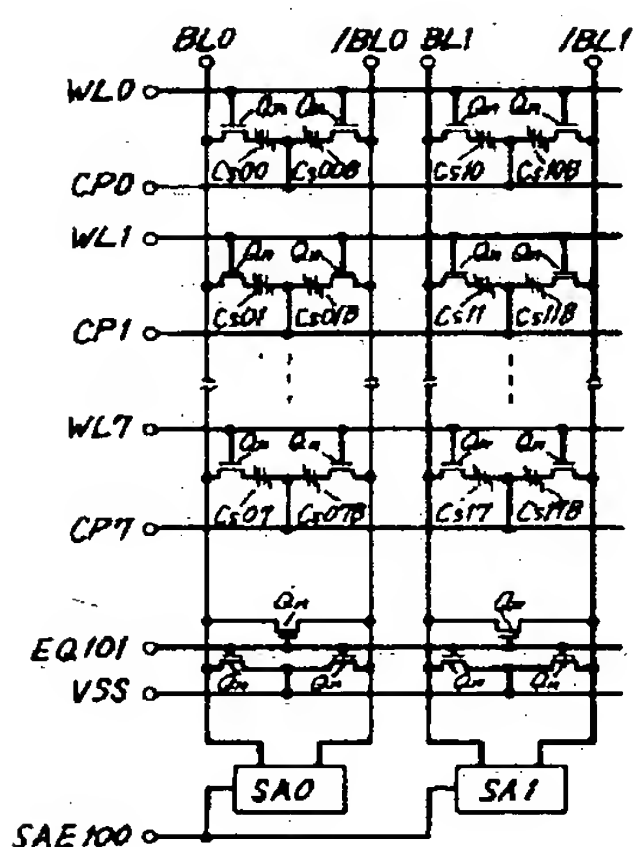
【図16】従来の半導体メモリ装置のメモリセルキャパシタの強誘電体のヒステリシス特性とメモリセルのデータ読み出しを示す図

【符号の説明】

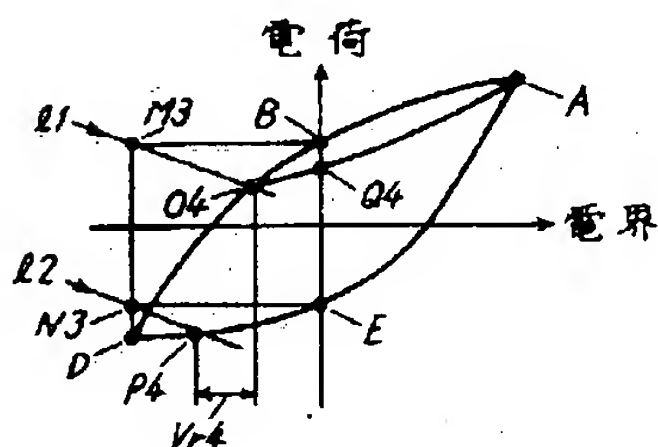
11~13 線  
 80a~80d メモリセル  
 81a~81d メモリセルトランジスタ  
 82 ワード線 (WORD)  
 83a~83d メモリセルキャパシタ  
 84 ワード線 (WORD)  
 86, 88 ビット線  
 90 センスアンプ  
 92, 94 ビット線  
 96 センスアンプ  
 98, 100 セルプレート電極 (PLATE)  
 102, 104, 106, 108 ビット線プリチャージ用トランジスタ  
 110, 112 Pチャネル型MOSトランジスタ

\* 114, 116 信号ノード  
 118, 120 Nチャネル型MOSトランジスタ  
 BL0, /BL0, BL1, /BL1 ビット線  
 Cb1~Cb4 ビット線容量調整用容量  
 S100, S101, V10 制御信号  
 Csh, Csl 本体メモリセル容量値  
 Cd1~Cd4 ダミーメモリセルキャパシタ  
 CP0~CP7 セルプレート電極  
 Cs00~Cs17, Cs00B~Cs17B, Cs1  
 ~Cs8 本体メモリセルキャパシタ  
 DCP0, DCP1 ダミーセルプレート電極  
 DWL0~DWL1 ダミーワード線  
 EQ11~EQ101 ビット線イコライズおよびプリチャージ制御信号  
 Qn Nチャネル型MOSトランジスタ  
 SA0, SA1 センスアンプ  
 SAE100, SAE101 センスアンプ制御信号  
 V19, Vh9, Vr3~Vr5, Vr16 電位差  
 Vrm 読み出し可能最低電位差値  
 VSS 接地電圧  
 WL0~WL7 ワード線  
 φPRECHARGE ビット線プリチャージ制御信号  
 φSENSE センスアンプ制御信号

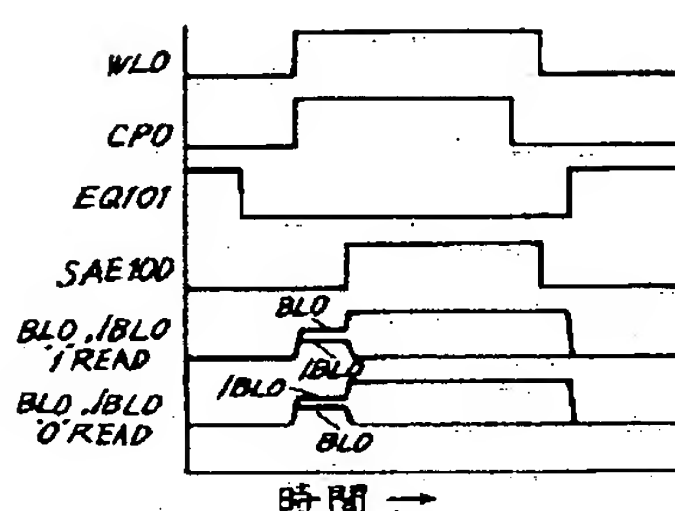
【図1】



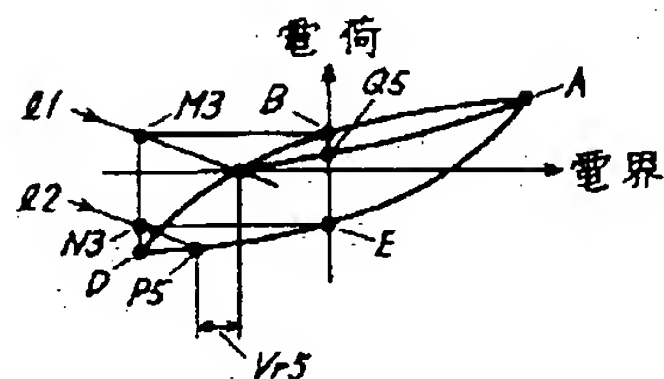
【図4】



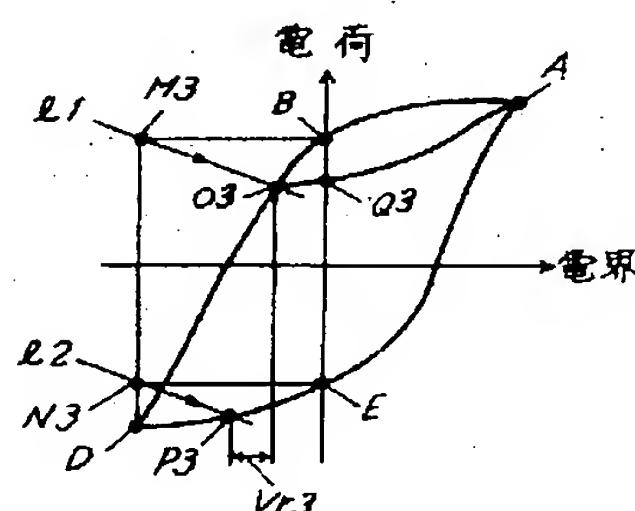
【図2】



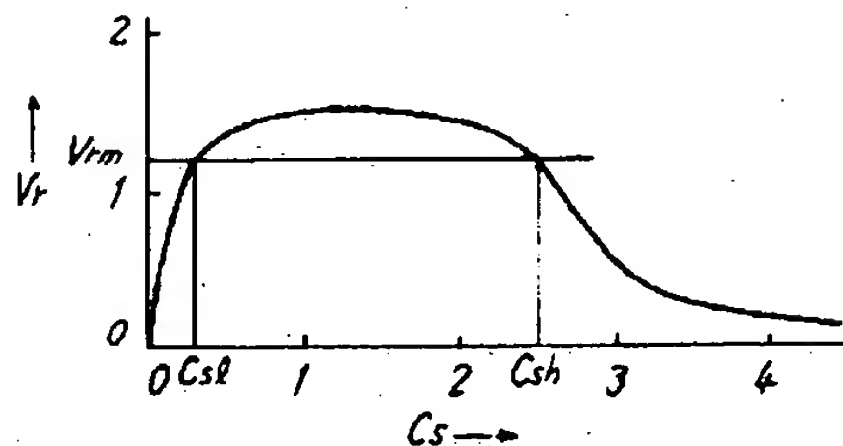
【図5】



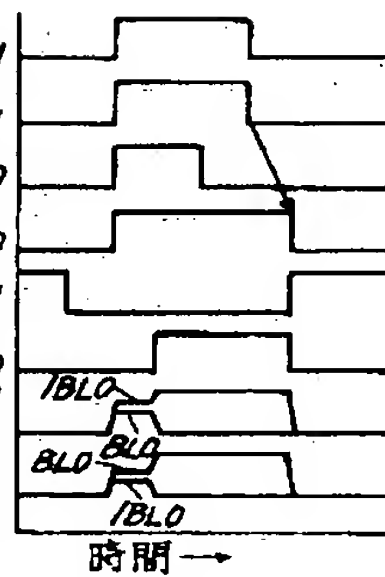
【図3】



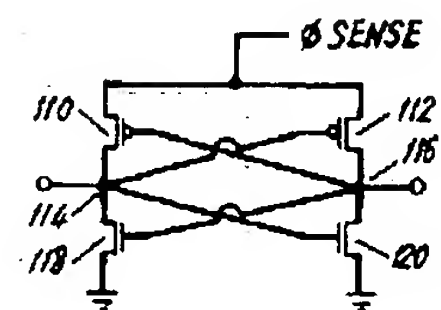
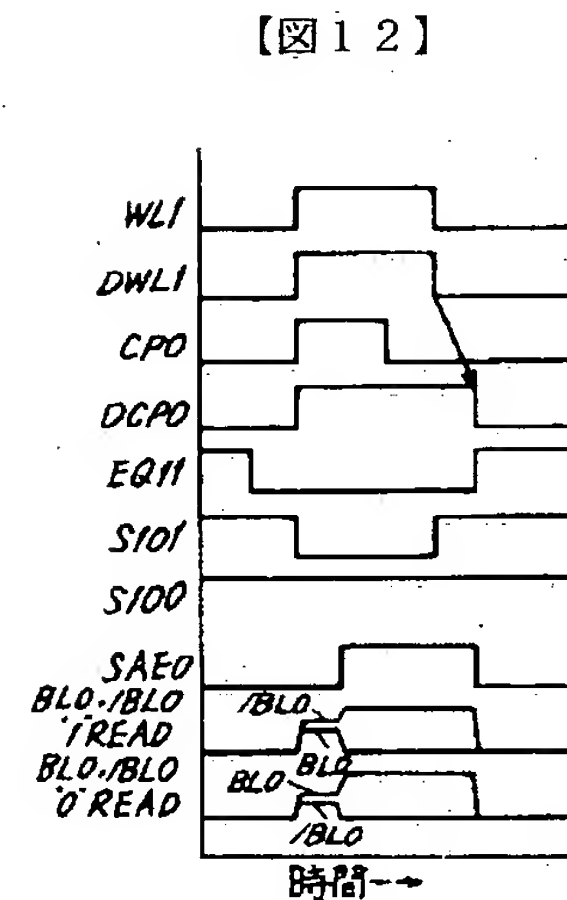
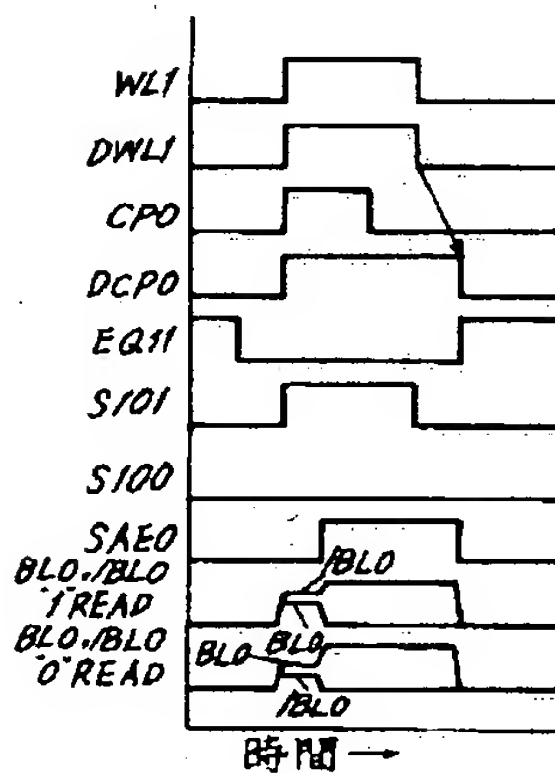
【図6】



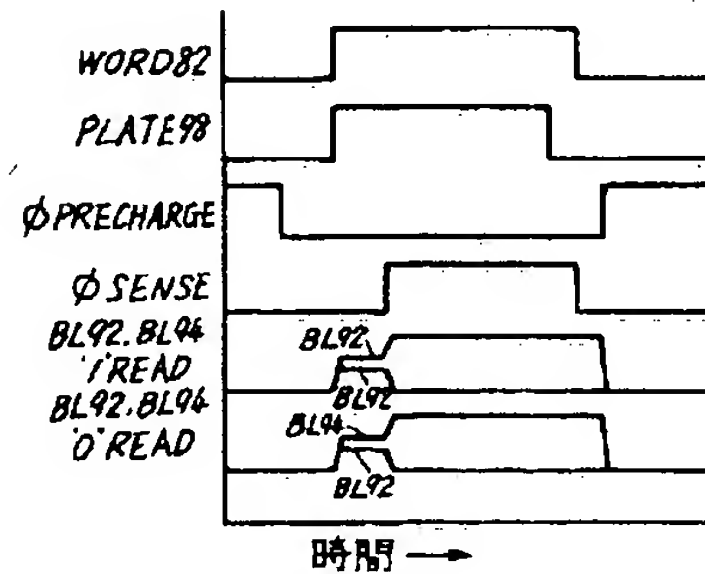
【図 9】



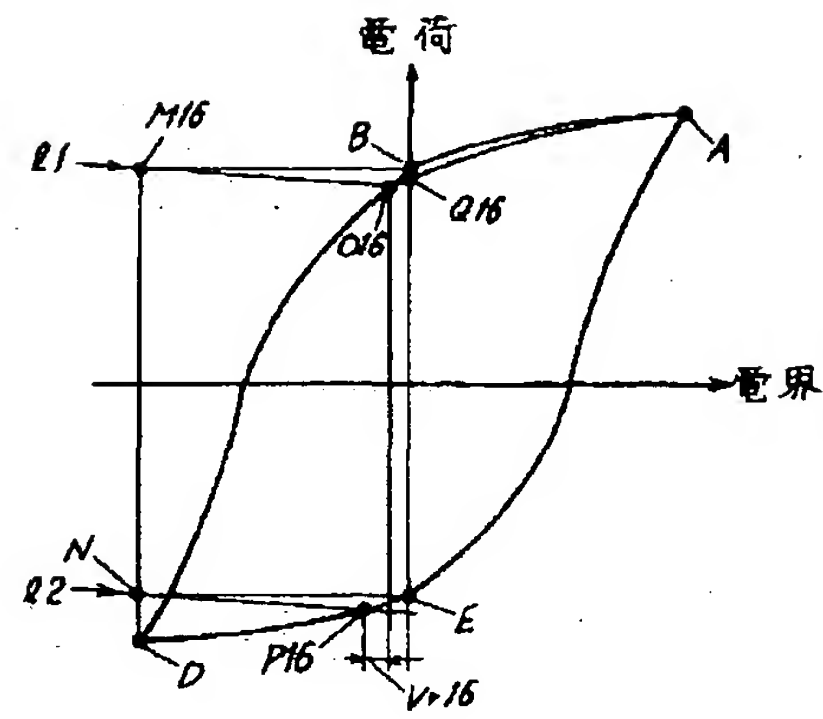
【图 14】



【图 13】



【図1-6】



フロントページの続き

(51) Int. Cl. 6

H01L 27/108

21/8242

識別記号

庁内整理番号

F I

技術表示箇所